PROJETO DE PROCESSADOR RISC 16 BITS BGHS01 PARA ENSINO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

Gustavo Henrique Mittmann Voigt [1]

Henrique Finatto [2]

Bruno da Cruz Carvalho [3]

Sthefany Leal Mota [4]

Sidinei Ghissoni [5]

Resumo:

Este artigo apresenta um projeto de processador, denominado BGHS 01, com modelo de Arquitetura Harvard, contendo uma palavra de 16 bits. Este processador executa sete operações lógico-aritméticas e cinco operações de manipulação de dados. Com intuito de utilizar softwares como recurso e estratégia para aprendizagem de conceitos referentes a disciplina de Arquitetura e Organização de Computadores, este projeto apresenta um modelo de arquitetura em alto nível e uma simulação desta em linguagem System Verilog no software Quartus II da Altera, na qual recebe, armazena e manipula informações do mundo externo. Uma descrição da organização das instruções dentro da estrutura da palavra é apresentada, com uma discussão breve acerca dos elementos e caminho de dados projetados Por fim, este projeto formaliza seus fins educacionais, sendo um ponto de partida que possibilita a compreensão da complexidade de conceitos inerentes à disciplina de Arquitetura e Organização de Computadores se tornando convidativa para a construção de estruturas mais complexas no andamento da disciplina.

Palavras-chave: Arquitetura, RISC, simulação, Harvard, proposta, processador

Modalidade de Participação: Iniciação Científica

PROJETO DE PROCESSADOR RISC 16 BITS BGHS01 PARA ENSINO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

[1] Aluno de graduação. gustavohmvoigt@alunos.unipampa.edu.br. Autor principal

[2] Aluno de graduação. henrique.finatto@alunos.unipampa.edu.br. Co-autor

[3] Aluno de graduação. bruno.carvalho@alunos.unipampa.edu.br. Co-autor

[4] Aluno de graduação. sthefany.mota17@gmail.com. Co-autor

[5] Docente. sidineighissoni@unipampa.edu.br. Orientador

PROJETO DE PROCESSADOR RISC 16 BITS BGHS01 PARA ENSINO DE ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

1 INTRODUÇÃO

Desde 1971, quando a Intel Corporation lançou o primeiro microprocessador comercial, a partir da quarta geração de computadores, cada vez mais saltos tecnológicos são implementados nas tecnologias de projeto, fabricação e implementação de circuitos integrados que realizam funções de cálculo e tomada de decisões de um computador (informação verbal)[1] . A chamada Lei de Moore (CAPELLA, 2014), afirma que o poder de processamento dobraria a cada dezoito meses em um computador.

Nas últimas décadas os sistemas de computação vem sendo usados em uma grande variedade de aplicações. Nesses sistemas computacionais estão contidos dispositivos microcontroladores que são fundamentais no desenvolvimento de equipamentos de processamento de dados. Deste modo existe a necessidade de desenvolver sistemas que necessitem baixo consumo de energia, ocupem o mínimo de espaço e que sejam de baixo custo. No desenvolvimento de um microcontrolador existem diferentes níveis de projeto sendo que cada nível depende dos demais, tendo como destaque sempre a necessidade do usuário (HENNESSY; PATTERSON, 2012). Assim, o estudo dos princípios básicos de projeto de elaboração de um sistema microcontrolado é o foco de projetistas de diversas engenharias.

A proposta deste artigo é apresentar um projeto de um microprocessador, baseado em arquitetura tipo RISC, para fins didáticos e ilustrativos para aulas da disciplina de Arquitetura e Organização de Computadores, como método de virtualização de conceitos vistos na disciplina. O processador, denominado de "BGHS 01" (em homenagem aos autores do projeto), é apresentado de duas maneiras: a primeira de forma esquemática, alto nível, com a denominação do caminho de dados, e controle, portas lógicas e blocos; e a segunda por simulação na linguagem System Verilog no software Quartus II da Altera (ALTERA, 2018).

2 DESCRIÇÃO DA ARQUITETURA

As arquiteturas são definidas a partir do número de instruções e a complexidade destas. Este projeto de processador possui arquitetura RISC (Reduced Instruction Set Computer), que trabalha com um número reduzido de instruções, e por isso, as executa mais rapidamente. A arquitetura do processador BGHS 01 se baseia na arquitetura Harvard. Esta se difere das demais por possuir duas memórias, uma de dados e outra de instruções, que são independentes em termos de barramento e ligação com o processador.

O projeto possui uma palavra com 16 bits de tamanho e dois tipos de instruções: tipo R, com instruções entre registradores com operações lógicas e aritméticas; e instruções tipo I, que armazena códigos para gravação de dados entre as memórias e registrador, carregamento de dados, impressão de dados, leitura e escrita de dados e endereços. Estas instruções podem ser observadas na organização da arquitetura através da Figura 1.

[1] Notas de aula da disciplina de Arquitetura e Organização de Computadores, na Universidade Federal do Pampa, *campus* Alegrete, no primeiro semestre de 2018.

Figura 1 - Esquemático da organização das instruções da arquitetura BGHS 01 dentro da palavra.

<table>
<tr><td colspan="16">TAMANHO PALAVRA - MAPA DA PALAVRA</td></tr>
<tr><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td colspan="16">Tipo I</td></tr>
<tr><td>RI</td><td colspan="3">OPCODE</td><td colspan="5">RS</td><td colspan="8">RD (ADDRESS)</td></tr>
<tr><td colspan="16">Tipo R</td></tr>
<tr><td>RI</td><td colspan="3">OPCODE</td><td colspan="5">RS</td><td colspan="5">RT</td><td colspan="3">RD</td></tr>
<tr><td colspan="16">Legendas das segmentações da work por tipo</td></tr>
<tr><td>0 - Instrução tipo R
1 - Instrução Tipo I</td><td colspan="3">Instrução R:
000 - Soma
001 - Sub
010 - And
011 - Or
100 Xor
101 - Xnor
110 Multi Inteiro
111 - Não Opera

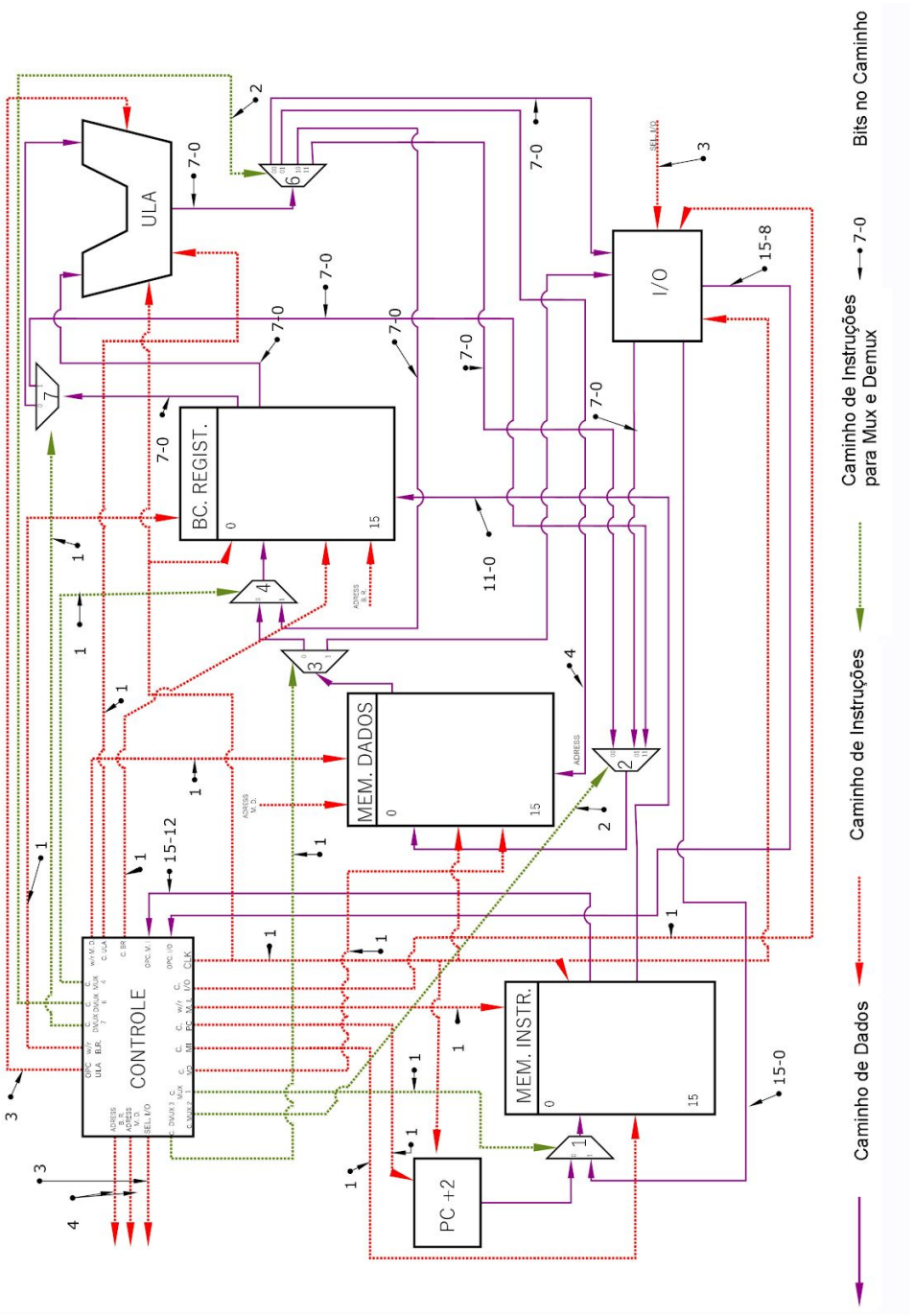
Instrução I
000 - lw - carrega palavra da memória para os registradores
001 - sw - grava palavra dos registradores para a memória
010 - Carrega Instrução do mundo
011 - Carrega Dados (mundo externo)
100 - Imprime Dados p/ mundo externo</td><td colspan="5">Instrução R:
RS = Registrador Origem

Instrução I:
RS = Registrador Origem/Destino</td><td colspan="5">Instrução R:
RT = Registrador Origem 2</td><td colspan="3">Instrução R:
RD = Registrador Destino</td></tr>
<tr><td colspan="16">Instrução I:
RD (ADDRESS) = Endereço Destino / Dados Mundo Externo; “Extensor de memória”</td></tr>
</table>

Este processador foi criado findando executar instruções de leitura e escrita da memória, carregar instruções, carregar dados, imprimir dados, incluindo também operações aritméticas como soma, subtração, multiplicação inteira e operações lógicas como and, or, xor e xnor. O esquemático da arquitetura, com os caminhos de dados, controle e organização dos blocos, é apresentado na Figura 2.

Como afirma Patterson (2005), os elementos dos caminhos de dados são compostos pelas unidades que operam ou que contenham dados num processador. A arquitetura exemplificada é composta por uma unidade de controle, duas memórias (uma de dados e uma de instruções), um banco de registradores, uma unidade lógica aritmética (ULA) e também portas de comunicação com o mundo externo, como blocos principais. Com isso, segue a ilustração do caminho percorrido na arquitetura para executar cada uma das instruções citadas acima.

Figura 2 - Esquemático da proposta da arquitetura BGHS 01.



Fonte: dos Autores, 2018.

Para realizar as instruções do tipo R, o caminho percorrido na arquitetura começará com o controle habilitando o PC, podendo assim, passar informação para a memória de instruções que irá mandar o operador opcode da instrução à ser executada para o controle, este será responsável por ativar todos os MUX, DEMUX e os blocos necessários para realizar o caminho desta instrução, a memória de instruções também irá mandar instruções para o banco de registradores, passando as informações contidas nos registradores RS e RT para realizar a instrução desejada na Unidade Lógica Aritmética e este resultado será armazenado em um registrador destino, localizado no banco de registradores. Como uma instrução do tipo I, a

instrução lw será responsável por movimentar dados da memória para o registrador. Já a instrução sw movimenta os dados do registrador para a memória de dados.

O processador também pode carregar instruções ou dados do mundo externo (I/O), respectivamente, para a memória de instruções ou memória de dados. O bloco Input/Output, que determina a entrada e saída de dados ou instruções, é conectado com o controle através de um fio que manda os bits de (15-8), o bit número quinze é responsável por diferenciar instruções do tipo R das instruções do tipo I, como mostrado na Figura 1.

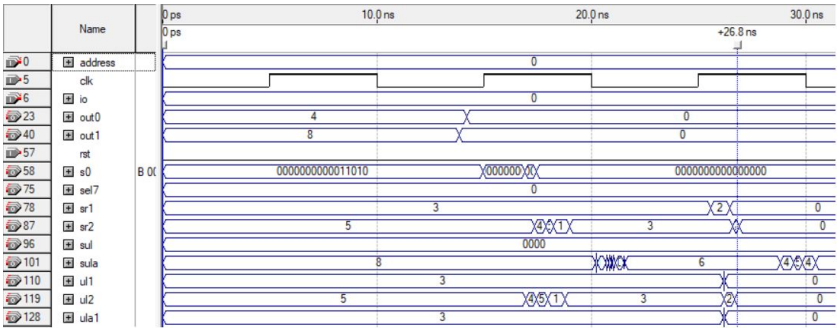
Por fim, nesta primeira versão a arquitetura executa as instruções de forma monociclo, isso implica que o ciclo da arquitetura será sempre para o pior caso.

4 RESULTADOS e DISCUSSÕES

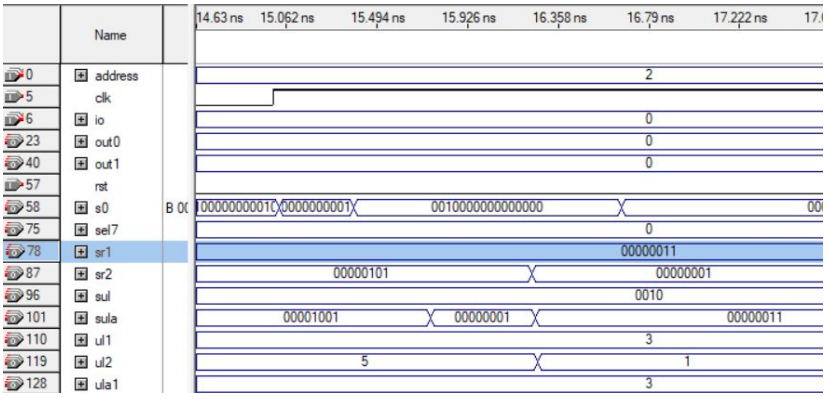
A simulação da arquitetura foi realizada utilizando o software Altera Quartus II e linguagem System Verilog, utilizando como base o arranjo de portas programável em campo (FPGA) da família Cyclone II e o dispositivo EP2C35F672C6. A Figura 3 apresenta os vetores de simulação. Na síntese lógica a arquitetura projetada necessitou de 872 blocos lógicos, 522 registradores dedicados e 124 pinos.

Figura 3 - Situação vetores de simulação

a) Operação de soma



b) Operação lógica and



Fonte: dos Autores, 2018

As seguintes atividades foram simuladas: soma de dois valores previamente armazenados no banco de registradores, onde *sr1* é a primeira saída do registrador,

armazenando 3, *sr2* é a segunda saída do registrador, armazenando 5, e *sula* é o resultado da operação, que neste caso é 8, Figura 3 a); e and lógico bit a bit entre dois números binários inseridos previamente no registrador, apresentando os valores binários de entrada em *sr1*, armazenando 00000011 e *sr2*, armazenando 00000101, e o valor binário de saída em *sula*, armazenando 00000001 neste caso, Figura 3 b). Não foram obtidas mais simulações mas os princípios gerais de implementação e funcionamento puderam ser analisados.

5 CONSIDERAÇÕES FINAIS

Finalizando o proposto pelo artigo, foi identificado que a abordagem esquemática simplificada denominada BGHS 01, para fins de entendimento de bases conceituais pertinentes à disciplina de Arquitetura e Organização de Computadores I pode ser útil na percepção dos conceitos durante as aulas da disciplina. Além de possibilitar o desenvolvimento e teste de uma arquitetura amplamente funcional.

A possibilidade de simulação dos princípios básicos de composição dos microprocessadores, atividade simplificada de uma abordagem esquemática mais ampla, é convidativa ao entendimento e elaboração de arquiteturas mais complexas durante o desenvolvimento de uma disciplina.

REFERÊNCIAS

CAPELLA, F. M. **Arquitetura Reconfigurável Multi-ISA**. 2014. 86f. Dissertação (Mestrado em Ciência da Computação) - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2014.

HENNESSY, J. L.; PATTERSON, D. A. Computer architecture: a quantitative approach. [S.l.]: Elsevier, 2012.

PATTERSON, David A.. Organização e Projeto de Computadores. 3 ed. Rio de Janeiro, 2005. 484p.

ALTERA. Intel Quartus Prime and Quartus II Software Support. Disponível em: <http://www.altera.com/support/software/sof-quartus.html>. Acesso em 15 jul. 2018.